

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010066368 A  
(43)Date of publication of application: 11.07.2001

(21)Application number: 1019990068077  
(22)Date of filing: 31.12.1999

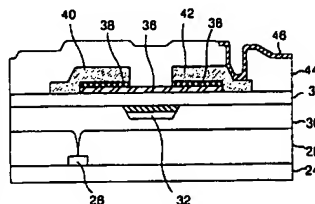
(71)Applicant: LG.PHILIPS LCD CO., LTD.  
(72)Inventor: LEE, HYEON GYU

(51)Int. Cl H01L 29/786

## (54) THIN FILM TRANSISTOR SUBSTRATE AND MANUFACTURING METHOD THEREOF

## (57) Abstract:

**PURPOSE:** A thin film transistor substrate and a method for manufacturing the same are to compensate a step difference of the thin film transistor by forming a gate electrode within a planarization layer. **CONSTITUTION:** A black matrix (36) and a color filter(28) are formed on a substrate (24). The black matrix is formed of a lattice structure to divide a number of cell regions on the substrate and to prevent the color interference between the cell regions. To compensate a step difference between a red, green and blue color filter, a planarization layer



is formed on the color filter. A portion, on which a gate electrode(32) is formed, of the planarization layer is patterned to form a groove having a same position and size as that of the gate electrode. A thin film transistor, a passivation film(44), and a pixel electrode(46) are formed on the planarization layer. A gate insulating film(34) is formed on the entire surface of the substrate.

COPYRIGHT 2001 KIPO

## Legal Status

Date of request for an examination (20041231)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20060825)

Patent registration number (1006291740000)

Date of registration (20060921)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>7</sup> H01L 29/786	(11) 공개번호 (43) 공개일자	특2001-0066368 2001년07월11일
(21) 출원번호 (22) 출원일자	10-1999-0068077 1999년12월31일	
(71) 출원인	엘지.필립스 엘시디 주식회사	
(72) 발명자	이현규	
(74) 대리인	서울특별시동작구사당동극동아파트112동403호 김영호	
심사청구 : 없음		
(54) 박막트랜지스터 기판 및 그의 제조방법		

요약

본 발명은 칼라필터 상에 박막트랜지스터 어레이가 형성된 구조를 가지는 박막트랜지스터 기판과 그의 제조방법에 관한 것이다.

본 발명의 박막트랜지스터 기판은 칼라필터 위에 형성된 박막트랜지스터와, 칼라필터의 단차를 보상하며 박막트랜지스터의 게이트전극이 형성될 홈부가 형성되어진 평탄화층을 구비하는 것을 특징으로 한다.

본 발명에 의하면, 게이트전극의 단차가 없어지게 되므로 게이트 전극의 두께 및 프로파일에 제한을 받지 않는 대형패널의 제작이 가능하게 된다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 종래의 칼라필터 온 어레이 구조의 박막트랜지스터 기판을 나타낸 단면도.

도 2는 본 발명의 실시예에 따른 칼라필터 온 어레이 구조의 박막트랜지스터 기판을 나타낸 단면도.

도 3a 내지 도 3c는 도 3에 도시된 박막트랜지스터 기판의 제조방법을 단계적으로 나타낸 단면도.

<도면의 주요 부분에 대한 부호의 설명>

2, 24 : 기판	4, 26 : 블랙매트릭스
6, 28 : 칼라필터	8, 30 : 오버 코팅층
10, 32 : 게이트전극	11, 34 : 게이트절연막
12, 36 : 반도체층	14, 38 : n <sup>+</sup> 층
16, 40 : 소오스전극	18, 42 : 드레인전극
20, 44 : 보호막	22, 46 : 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치의 박막트랜지스터 기판에 관한 것으로, 특히 칼라필터 상에 박막트랜지스터 어레이가 형성된 구조를 가지는 박막트랜지스터 기판과 그의 제조방법에 관한 것이다.

칼라필터 상에 박막트랜지스터 어레이가 형성된 액정표시장치에서 박막트랜지스터 기판은 투명기판 상에

형성된 칼라필터와, 칼라필터 위에 형성되며 게이트전극, 게이트절연막, 활성층, 오믹콘택층, 소오스 및 드레인전극으로 구성된 박막트랜지스터(Thin Film Transistor)로 이루어진 스위칭 소자와 화소(pixel) 전극으로 이루어지게 된다.

도 1은 종래의 칼라필터 상에 박막트랜지스터 어레이가 형성된 박막트랜지스터 기판의 단면도를 나타낸 것이다. 도 1의 박막트랜지스터 기판에서 투명기판(2) 상에는 블랙매트릭스(4)가 격자구조로 형성되어 칼라필터들이 형성되어질 다수의 셀영역들로 나뉘고 아울러 이들 셀영역간의 색간섭을 방지하게 된다. 블랙 매트릭스(4)에 의해 셀단위로 구분되어진 투명기판(10) 상에 적, 녹, 청색의 광을 각각 투과시키기 위한 적, 녹, 청색의 칼라필터(6)가 형성된다. 칼라필터(6)는 안료들이 분산된 아크릴 또는 폴리이미드계 수지로 형성되며, 혼색을 방지하기 위해 블랙매트릭스(4) 상에서 서로 분리되게 형성된다. 칼라필터(6)의 표면에는 칼라필터(6)의 오염방지와 분리되어 형성된 적, 녹, 청색 칼라필터(6)간의 단차를 보상하여 기판을 평탄화시키기 위한 평탄화층(8)이 코팅된다. 평탄화층(8) 위에는 게이트전극(10)이 형성된다. 게이트전극(10)은 평탄화층(8) 위에 게이트금속물질, 즉 Al, Mo, Cr, Ta, Al 합금 중 어느 하나의 금속물질을 증착하거나 상기 금속들을 이중층으로 적층한 후 패터닝함으로써 형성된다. 게이트전극(10)이 형성된 평탄화층(8) 위에  $\text{SiNx}$ ,  $\text{SiOx}$  등으로 이루어진 게이트절연막(11)이 형성하게 된다. 게이트절연막(11) 위에 비정질실리콘(a-Si) 및 불순물이 도핑된 비정질실리콘층(n+ a-Si)을 적층한 후 패터닝함으로써 반도체층(12) 및 오믹콘택층(14)을 형성하게 된다. 그리고, Al, Mo, Cr, Ta, Al 합금 등과 같은 금속을 증착한 후 패터닝하여 소스/드레인 전극(16, 18)을 형성하게 된다. 기판 전체에  $\text{SiNx}$ ,  $\text{SiOx}$  등의 물질로 보호막을 형성하고 투명전극물질(ITO) 물질을 형성한 후 패터닝하여 화소전극(22)을 형성하게 된다.

이와 같이, 종래의 박막트랜지스터 기판에서는 적, 녹, 청색 칼라필터들(6) 간의 단차를 보상하기 위하여 평탄화층(8)을 필수적으로 사용하고 있다. 그런데, 상기 평탄화층(8)은 평탄화층(8) 상부에 형성되는 박막트랜지스터의 단차 극복에는 별다른 영향을 주지 못하고 있다. 박막트랜지스터에서는 게이트전극이 가지는 단차부에 의해 후공정에서 적층되는 층들(반도체층, 소오스 및 드레인 전극)에 불량이 발생할 수 있게 된다. 대형패널의 제작시 양호한 신호전달을 위해 게이트전극을 이중 금속층으로 형성하는 것이 필요하지만 게이트전극을 이중 금속층으로 형성하는 경우 게이트전극의 단차가 커지게 되므로 게이트전극을 이중으로 형성하는 것이 어려울 뿐만 아니라 재료선택에 한계가 있었다.

#### 발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 평탄화층 내에 게이트전극을 형성함으로써 박막트랜지스터의 단차를 보상할 수 있는 박막트랜지스터 기판을 제공하는 것이다.

본 발명의 목적은 평탄화층 내에 게이트전극을 형성함으로써 박막트랜지스터의 단차를 보상할 수 있는 박막트랜지스터 기판 제조방법을 제공하는 것이다.

#### 발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따른 박막트랜지스터 기판은 칼라필터 위에 형성된 박막트랜지스터와, 칼라필터의 단차를 보상하여 박막트랜지스터의 게이트전극이 형성될 흡부가 형성되어진 평탄화층을 구비하는 것을 특징으로 한다.

본 발명에 따른 박막트랜지스터 기판 제조방법은 투명기판 상에 칼라필터를 형성하는 단계와, 칼라필터 상에 평탄화층을 형성하고 패터닝하여 박막트랜지스터의 게이트전극이 형성될 흡부를 마련하는 단계와, 평탄화층 상에 박막트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시예를 첨부한 도 2 내지 도 3c를 참조하여 상세히 설명하기로 한다.

도 3은 본 발명의 실시예에 따른 칼라필터 상에 박막트랜지스터 어레이가 형성된 박막트랜지스터 기판의 단면도를 나타낸 것이다. 도 3의 박막트랜지스터 기판은 투명기판(24) 상에 형성된 블랙매트릭스(26) 및 칼라필터(28)와, 칼라필터(28) 위에 형성되며 패터닝된 평탄화층(30)과, 평탄화층(30)의 패터닝부에 형성된 게이트전극(32)과, 그 위에 적층된 게이트절연막(34), 반도체층(36), 오믹콘택층(38), 소오스 및 드레인전극(40, 42)으로 구성된 박막트랜지스터와, 화소전극(46)으로 이루어지게 된다. 칼라필터(28) 위에 형성된 평탄화층(30)에서는 게이트전극(32)이 형성될 위치에 게이트전극(32)과 동일한 크기로 흡부가 마련된다. 게이트전극(32)은 그 평탄화층(30)의 흡부에 형성되게 된다. 이에 따라, 게이트전극(32)의 단차가 없어지게 된다. 따라서, 게이트전극(32)의 두께 및 프로파일(Profile)에 제한이 없어지게 되므로 대형패널에서 필수적인 이중 금속층 구조의 게이트전극(32)을 형성하는 것이 용이할 뿐만 아니라 게이트전극(32)의 재료에 대한 선택의 폭이 넓어지게 된다.

도 3a 내지 도 3c는 본 발명의 실시예에 따른 박막트랜지스터 기판 제조방법을 살펴보면 다음과 같다.

도 3a를 참조하면, 투명기판(24) 상에 블랙매트릭스(36) 및 칼라필터(28)를 형성하게 된다. 블랙매트릭스(36)는 투명기판(24) 상에 격자구조로 형성되어 칼라필터들이 형성되어질 다수의 셀영역들로 나뉘고 아울러 이들 셀영역간의 색간섭을 방지하게 된다. 칼라필터(28)는 블랙 매트릭스(26)에 의해 셀단위로 구분되어진 투명기판(24) 상에 적, 녹, 청색의 광을 각각 투과시키기 위하여 적, 녹, 청색으로 분리되어 형성된다.

이러한 칼라필터(28) 상에 칼라필터(28)의 오염방지와 분리되어 형성된 적, 녹, 청색 칼라필터(28)간의 단차를 보상하기 위하여 도 3b에 도시된 바와 같이 평탄화층(30)을 형성하게 된다. 이어서,

평탄화층(30)에서 게이트전극이 형성될 부분을 패터닝함으로써 게이트전극과 동일한 위치 및 크기를 가지는 홈부(30A)를 형성하게 된다.

그리고, 도 3c에 도시된 바와 같이 평탄화층(30) 위에 게이트전극(32), 게이트절연막(34), 반도체층(36), 오믹콘택층(38), 소스 및 드레인전극(40, 42)으로 구성된 박막트랜지스터와, 보호막(44) 및 화소전극(46)을 형성하게 된다. 게이트전극(32)은 평탄화층(30)의 홈부(30A)에 형성하게 된다. 게이트전극(32)은 Al, Mo, Cr, Ta, Al 합금 중 어느 하나의 금속물질로 이루어지거나 상기 금속들을 이중층으로 이루어지게 된다. 그 다음, SiNx, SiOx 등으로 이루어진 게이트절연막(34)을 전연도포하고, 게이트절연막(34) 위에 비정질실리콘층(a-Si) 및 불순물이 도핑된 비정질실리콘층(n+ a-Si)을 적층한 후 패터닝함으로써 반도체층(36) 및 오믹콘택층(38)을 형성하게 된다. 그리고, Al, Mo, Cr, Ta, Al 합금 등과 같은 금속을 증착한 후 패터닝하여 소스/드레인 전극(40, 42)을 형성하게 된다. 이어서, 기판 전체에 SiNx, SiOx 등의 물질로 보호막(44)을 형성하고 패터닝하여 콘택홀을 형성하게 된다. 보호막(44) 위에 투명전극물질(ITO) 물질을 형성한 후 패터닝하여 화소전극(46)을 형성함으로써 박막트랜지스터 기판을 완성하게 된다. 이 화소전극(46)은 보호막(44)의 콘택홀을 통해 드레인전극(42)과 전기적으로 접속된다.

#### 발명의 효과

상술한 바와 같이, 본 발명에 따른 박막트랜지스터 기판 및 그 제조방법에서는 칼라필터의 평탄화층을 패터닝하여 형성된 홈부에 게이트전극을 형성함으로써 게이트전극의 단차를 없앨 수 있게 된다. 이에 따라, 본 발명에 따른 박막트랜지스터 기판 및 그 제조방법에 의하면 게이트전극의 두께 및 프로파일에 제한이 없어지게 되므로 대형패널을 제작하는 경우 필수적인 이중 금속층 구조의 게이트전극을 사용하는 것이 용이할 뿐만 아니라 게이트전극 재료에 대한 선택의 폭이 넓어지게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야 할 것이다.

#### (57) 청구의 범위

##### 청구항 1

칼라필터 위에 박막트랜지스터가 형성된 박막트랜지스터 기판에 있어서,

상기 칼라필터 위에 형성된 박막트랜지스터와,

상기 칼라필터의 단차를 보상하며 상기 박막트랜지스터의 게이트전극이 형성될 홈부가 형성되어진 평탄화층을 구비하는 것을 특징으로 하는 박막트랜지스터 기판.

##### 청구항 2

제 1 항에 있어서,

상기 평탄화층의 홈부는 상기 게이트전극과 동일한 체적을 가지는 것을 특징으로 하는 박막트랜지스터 기판.

##### 청구항 3

칼라필터 위에 박막트랜지스터가 형성된 박막트랜지스터 기판의 제조방법에 있어서,

투명기판 상에 상기 칼라필터를 형성하는 단계와,

상기 칼라필터 상에 평탄화층을 형성하고 패터닝하여 상기 박막트랜지스터의 게이트전극이 형성될 홈부를 마련하는 단계와,

상기 평탄화층 상에 상기 박막트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터 기판의 제조방법.

##### 청구항 4

제 3 항에 있어서,

상기 평탄화층의 홈부는 상기 게이트전극과 동일한 체적을 가지게끔 형성되는 것을 특징으로 하는 박막트랜지스터 기판의 제조방법.

##### 청구항 5

제 3 항에 있어서,

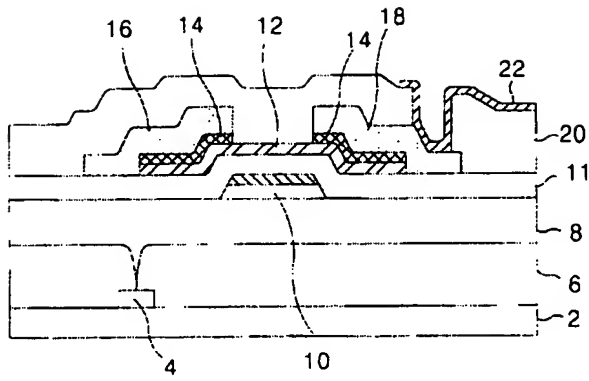
상기 박막트랜지스터를 형성하는 단계는

상기 평탄화층의 홈부에 상기 게이트전극을 형성하는 단계와,

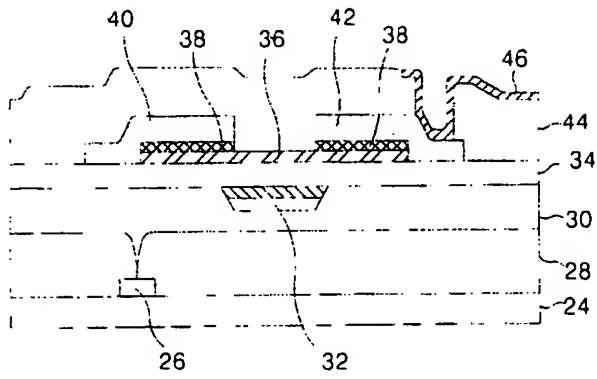
상기 게이트전극 및 상기 평탄화층 위에 게이트절연막, 반도체층, 소스 및 드레인 전극을 순차적으로 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터 기판의 제조방법.

#### 도면

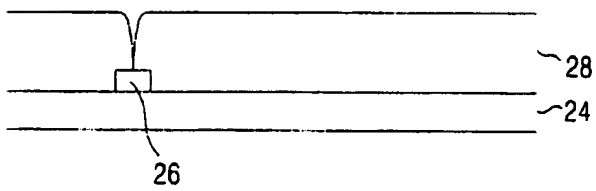
도면1



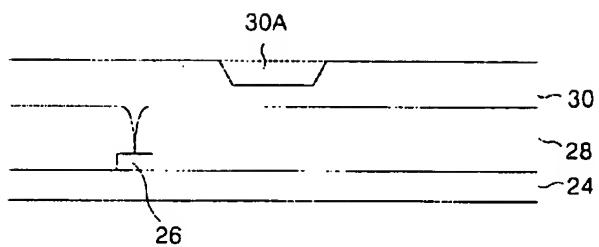
도면2



도면3a



도면3b



도면3c

